

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of	:	
	:	
<b>Chia-Li CHEN et al.</b>	:	Group Art Unit: Not Yet Assigned
	:	
Application No.: Not Yet Assigned	:	Examiner: Not Yet Assigned
	:	
Filed: October 16, 2003	:	

For: **STORAGE DEVICE CAPABLE OF INCREASING TRANSMISSION SPEED**

**CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**

Assistant Commissioner of Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

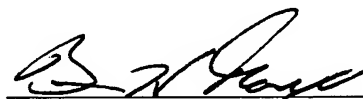
Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant claims the right of priority based upon **Taiwanese Application No. 092115321 filed June 5, 2003.**

A certified copy of Applicant's priority document is submitted herewith.

Respectfully submitted,

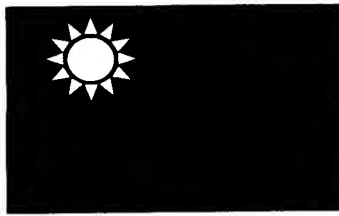
By:



Bruce H. Troxell  
Reg. No. 26,592

**TROXELL LAW OFFICE PLLC**  
5205 Leesburg Pike, Suite 1404  
Falls Church, Virginia 22041  
Telephone: (703) 575-2711  
Telefax: (703) 575-2707

Date: October 16, 2003



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 06 月 05 日  
Application Date

申 請 案 號：092115321  
Application No.

申 請 人：萬國電腦股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 9 月 16 日  
Issue Date

發文字號：09220934070  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	可提高傳輸速度之儲存裝置
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 陳加立 2. 謝祥安
	姓 名 (英文)	1. Chen, Chia-Li 2. Hsieh, Hsiang-An
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市寶興路45巷1號5樓 2. 台北縣新店市寶興路45巷1號5樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 萬國電腦股份有限公司
	名稱或 姓 名 (英文)	1. CARRY COMPUTER ENG. CO. , LTD
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市寶興路45巷1號5樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 劉文聰
	代表人 (英文)	1. Liu, Wen-Tsung



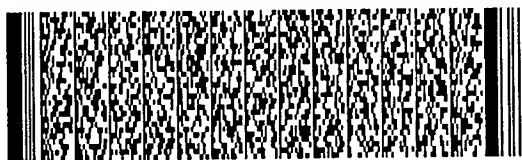
四、中文發明摘要 (發明名稱：可提高傳輸速度之儲存裝置)

一種可提高傳輸速度之儲存裝置，主要係由一控制器與至少一固態儲存媒體所構成；其中，控制器內至少具有一與外部系統端連接之系統介面、一處理系統指令之微處理器以及一與該等固態儲存媒體溝通之記憶體介面；其中，系統介面與記憶體介面間配置一資料壓縮模組，被用以對系統介面所傳送之原始資料予以壓縮成對應之微量化資料；該資料壓縮模組分別在與系統介面及記憶體介面之間各設有多層式之前端資料緩衝區及後端資料緩衝區，被用以規劃適當區隔系統介面進行原始資料傳輸資料與記憶體介面進行壓縮資料傳輸之緩衝區，以利同步進行系統介面資料傳輸、暫存於原始資料緩衝區之資料進行壓縮以及將記憶體介面壓縮後資料傳輸等作業，俾使大幅提高儲存裝置的資料傳輸率者。

五、(一)、本案代表圖為：第\_\_\_ 6 \_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：可提高傳輸速度之儲存裝置)

1：儲存裝置

10：控制器

104：系統介面

102：微處理器

106：記憶體介面

108：資料壓縮/解壓縮模組

132：第一層系統端資料緩衝區

134：第二層系統端資料緩衝區

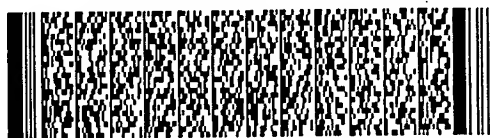
136：第一層記憶體資料緩衝區

138：第二層記憶體資料緩衝區

20：固態儲存媒體

2：外部系統端

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 一、【發明所屬之技術領域】

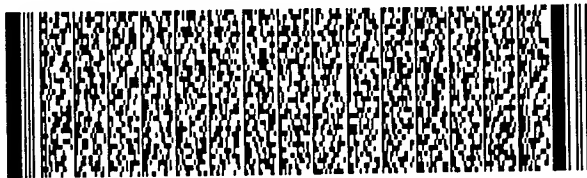
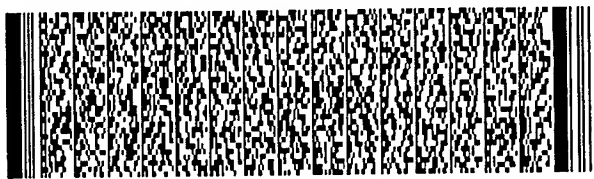
本發明是一種可提高傳輸速度之儲存裝置，且特別是有關於一種利用多層資料緩衝區實施壓縮機制，而進以提高傳輸速度之儲存裝置者。

### 二、【先前技術】

目前由矽晶片記憶體作為固態儲存媒體（如快閃記憶體）已日漸普及，由於矽晶片記憶體具低耗電、可靠度高、容量大與存取速度快等優點，而被廣泛應用於如CF、MS、SD、MMC、SM等之小型記憶卡與USB隨身碟等應用領域不同之儲存裝置。

該等儲存裝置之組成不外乎控制器及固態儲存媒體等所構成，請參第1圖，其繪示的是該等儲存裝置的一內部電路。該儲存裝置A內部係配置固態儲存媒體A2及一控制器A1，該控制器A1具有一與外部系統端B連接之系統介面A11、一處理系統指令之微處理器A12以及一與固態儲存媒體A2溝通之記憶體介面A13，進而由系統端B將待儲存資料寫入該固態儲存媒體A2或自該固態儲存媒體A2讀取所需的已儲存資料。另外，在系統介面A11與記憶體介面A13之間尚配置有一資料緩衝區A14，其係為因應外部系統端B與儲存裝置A間在處理資料上的速度不一而設置。

然由於外部系統端B（如電腦系統）處理資料的速度遠大於儲存裝置A的存取速度，該儲存裝置A為消化由電腦系統端B所傳送之大量資料必須建置一緩衝空間，以免電



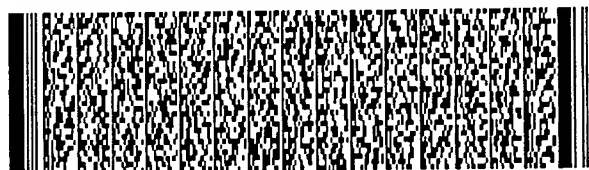
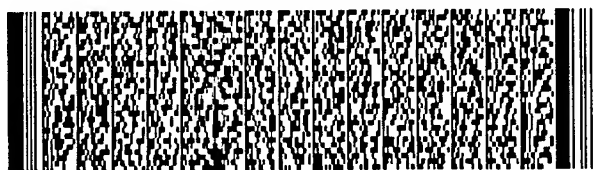
## 五、發明說明 (2)

腦系統端B整體的執行速度因儲存裝置A的低速存取而降低。但因為資料緩衝區A14主要係用以暫存資料，為避免資料被錯亂存取，其在傳輸上係無法設計成可同時進行接收與輸出作業，茲造成當資料緩衝區A14在接收由系統介面A11所傳送之外部資料時，即必須停止資料輸出作業，連帶影響記憶體介面A13無法將資料儲存於固態儲存媒體A2中。

請參第2A~2C圖，其針對前述資料緩衝區A14無法同步進行接收與輸出作業詳細說明。

第2A圖繪示的是在第一時間區段下，系統介面A11將外部傳送的第一筆資料交由資料緩衝區A14暫存的情況；第2B圖所繪示的第二時間區段中，資料緩衝區A14將暫存的第一筆資料傳送至記憶體介面A13，此時外部系統端B在第二時間區段中必須暫停傳送下一筆資料，因為資料緩衝區A14已無法再進行接收作業，必須等待資料緩衝區A14將其中暫存的資料完全輸出清空後，才能如第2C圖所示再從外部接收第二筆資料，但在此時間區段（即第三時間區段）下，資料緩衝區A14因在接收作業中亦無法進行資料傳送作業，使得記憶體介面A13亦跟著閑置（Idle），致使固態儲存媒體A2也停止資料儲存作業。

而上述所造成的後果係因資料緩衝區A14無法同時進行接收與輸出作業，使得儲存裝置A無法在連續時間中進行資料的存取作業，致連同外部系統端B亦無法持續將資料傳入或取出，這種情形不僅降低儲存裝置A本體的存取



### 五、發明說明 (3)

速度，亦延遲了外部系統端B的資料處理時間。

為此，若有一種儲存裝置，其可改良資料緩衝區的傳輸設計，而使其在接收資料的同時亦可進行資料的傳送作業，則可大大提高儲存裝置本體與外部系統端的整體執行效能。

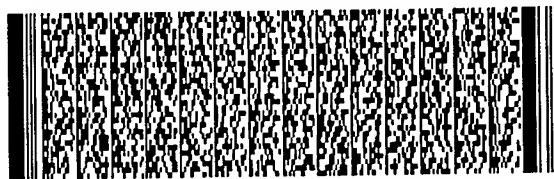
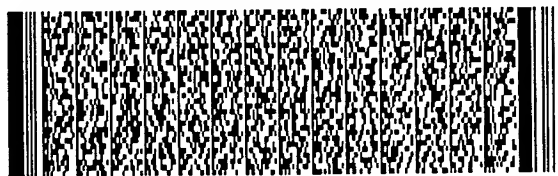
另外，若能提升儲存裝置內部控制器的資料處理功能，而使控制器可利用適當之壓縮機制將由外部系統端所傳送欲儲存的大量資料先予以微量化而降低其資料傳輸量，並配合可同時接收傳送資料之資料緩衝設計，則可大幅縮短資料輸送時所需的時間區段，進而提升整體的資料存取速度。

### 三、【發明內容】

有鑑於此，本發明之主要目的乃在於提供一種可提升傳輸速度之儲存裝置，藉由多層之資料緩衝區設計使其可同時進行資料接收與輸出，使外部系統端得連續進行資料的讀取與寫入動作，進以大幅提升儲存裝置的傳輸速度。

本發明之另一目的係提供一種可提升傳輸速度之儲存裝置，使其透過內部之壓縮機制大幅壓縮外部資料的資料量而縮短資料傳輸時所需的時間區段，進而提高整體的存取速度，同時因該壓縮機制而使固態儲存媒體得以存放更多的儲存資料及具備降低產品成本等特性。

本發明之再一目的係使所提供之一種可提高傳輸速度之儲存裝置結合上述之改良式資料緩衝區與內部具備之壓



#### 五、發明說明 (4)

縮機制而達到加倍提高整體執行效能的目的者。

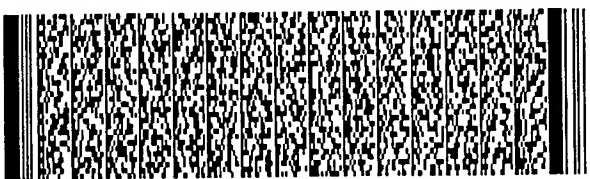
為達上述及其他目的與功效，本發明提供之可提高傳輸速度之儲存裝置，其係由一控制器與至少一固態儲存媒體所構成，該控制器內具有一與外部預設系統端連接之系統介面、一處理系統指令之微處理器以及一與該等固態儲存媒體溝通之記憶體介面，其中，在該系統介面與該記憶體介面之間配置一採多層式設計之資料緩衝區，其第一層資料緩衝區與次一層資料緩衝區係交替式地同步進行系統介面與記憶體介面間的資料傳輸作業，藉此提升儲存裝置內部的傳輸速度，進而使外部系統端無需等待即可連續進行資料的讀取與寫入動作。

本發明另一目的係提供一種可提高傳輸速度之儲存裝置，其係在儲存裝置的原始架構下，另增設一資料壓縮/解壓縮模組，其在受到微處理器的觸發下，會針對系統介面所傳送之原始資料以一預設比例壓縮成對應之微量化壓縮資料，藉由壓縮外部資料的資料量進而提高儲存裝置內部的傳輸速度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

#### 四、【實施方式】

請參考第3圖，其繪示的是本發明一種可提高傳輸速度之儲存裝置的內部電路示意圖；其中，儲存裝置1可以



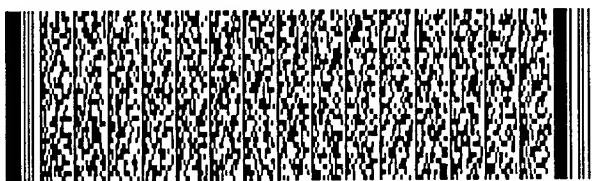
## 五、發明說明 (5)

係目前被廣泛應用於各種可攜式數位產品的記憶卡型態或是應用於個人電腦領域的USB隨身碟產品，亦或是目前尚在研發中具備有固態儲存媒體（即Flash Memory）的其他儲存裝置。

其中，該儲存裝置1主要係由一控制器10與至少一固態儲存媒體20所組成；該控制器10內係包含有系統介面104、微處理器102與記憶體介面106。其中系統介面104係用以作為連通外部預設系統端2（即前述之各種可攜式數位產品與電腦系統等應用設備）；記憶體介面106係與該固態儲存媒體20進行溝通連接；而微處理器102係連接系統介面104與記憶體介面106。

其中，在系統介面104與記憶體介面106之間配置有複數層資料緩衝區，在本實施例中係以配置兩階層資料緩衝區，即第一層資料緩衝區110與第二層資料緩衝區112為實施說明【需加以強調的是本發明並不僅限於兩階層資料緩衝區，其係為滿足提高傳輸速度的前提下，所採取的最少的實施數量，當然，在不同的速度需求下，可以多增加資料緩衝區層級以加倍提升儲存裝置1內部的傳輸速度】；該等資料緩衝區110、112係採階層式設計，其第一層資料緩衝區110與第二資料緩衝區112係採交替式同步進行系統介面104與記憶體介面106間的資料輸送作業，其詳細作動方式將以下述的圖示說明。

請參第4A~4C圖，當外部系統端2開始要連續寫入資料時，系統端2所傳入之資料會如第4A圖所示，先透過系統

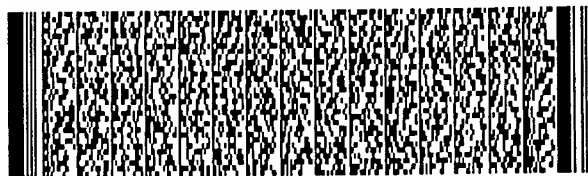
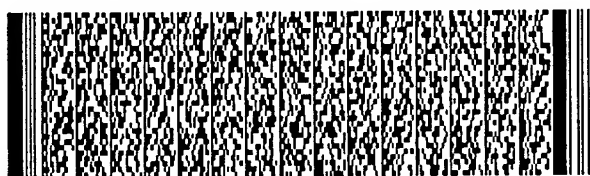


#### 五、發明說明 (6)

介面104載入第一筆資料至第一資料緩衝區110，當第一資料緩衝區110接收完成時即停止資料接收作業，即令第二資料緩衝區112繼續接收第二筆外部資料（如第4B圖所示），在此同時，第一資料緩衝區110雖停止資料接收作業，但卻透過記憶體介面106將第一筆資料同步地儲存於固態儲存媒體20中，在傳送完成時，即由微處理器102清空第一資料緩衝區110以隨即接收外部傳送的第三筆資料（如第4C圖所示），而同時，第二資料緩衝區112亦透過記憶體介面106將第二筆資料同步儲存於固態儲存媒體20中。藉由此種階層式資料緩衝區間的同步交替作業，可進以提升儲存裝置1內部的傳輸與存取速度，且連帶促使外部系統端2可無需等待即進行資料的連續寫入動作，其中，外部系統端2在執行資料的讀取時亦是利用此同步概念以連續方式進行資料讀取作業，在此即不再說明之。

請參第5圖所示，是本發明另一種提升資料傳輸速度的設計方式，其係在儲存裝置1內設置一資料壓縮/解壓縮模組108；其中資料壓縮/解壓縮模組108係電性連接微處理器102以接收微處理器102的觸發而作動；該資料壓縮/解壓縮模組108與系統介面104及記憶體介面106係分別設置有第一資料緩衝區124與第二資料緩衝區126，該些緩衝區124、126係作為暫存資料之用，但個別暫存的資料型態不同，將在後續一併說明之。

當欲記錄儲存外部資料於儲存裝置1之固態儲存媒體20時，系統介面104會接收由外部系統端2所傳送的原始資



#### 五、發明說明 (7)

料，該微處理器102得透過本發明專屬設計的資料壓縮/解壓縮模組108先行對該原始資料以適當地壓縮比例（如 $1/N$ 比例，其中 $N$ 的值係由所採的壓縮技術而決定，壓縮程度可係以2倍、3倍、4倍…等之壓縮比例）進行壓縮作業，使之成為極微量化的壓縮資料，而後再經由記憶體介面106將之記錄儲存於固態儲存媒體20中；其中由於資料已被壓縮，使得壓縮後的同一筆資料在傳輸時間上相對縮減許多，藉此提高資料壓縮/解壓縮模組108與記憶體介面106間的傳輸速度，以及記憶體介面106與固態儲存媒體20間的存取速度。

在此實施例所採之設計中，系統介面104在傳送原始資料進行壓縮之前，會將原始資料先暫存於第一資料緩衝區124，再由資料壓縮/解壓縮模組108依一定傳輸速率自第一資料緩衝區124擷取原始資料進行壓縮，並將壓縮後的微量化資料傳送至第二資料緩衝區126暫存，藉由微處理器102的主導控制，俾將暫存於第二資料緩衝區126之微量化資料經由記憶體介面106記錄儲存於固態儲存媒體20者。

當外部系統端2欲從儲存裝置1的固態儲存媒體20中擷取儲存資料時，記憶體介面106會自固態儲存媒體20中讀取指定之微量化壓縮資料並暫存於第二資料緩衝區126中，由資料壓縮/解壓縮模組108從第二資料緩衝區126中讀取該微量化資料並以逆壓縮方式進行解壓縮處理，並將完成解壓縮處理之原始資料暫存於第一資料緩衝區124，

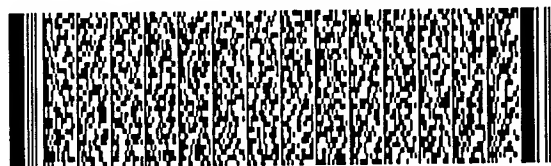


#### 五、發明說明 (8)

由系統介面104從中將已完成解壓縮處理的還原資料傳至外部系統端2。

請參第6圖，其繪示的是本發明的另一設計，其係合併上述之階層式資料緩衝區與壓縮機制，其中儲存裝置1係在系統介面104與記憶體介面106間係配置一資料壓縮/解壓縮模組108，該資料壓縮/解壓縮模組108與系統介面104之間設有以階層式設計之第一層系統端資料緩衝區132與第二層系統端資料緩衝區134，此稱為前端資料緩衝區，另在該資料壓縮/解壓縮模組108與記憶體介面106之間亦同樣設有同以階層式設計之第一層記憶體資料緩衝區136與第二層記憶體資料緩衝區138，此稱為後端資料緩衝區。

當外部系統端2執行資料連續寫入作業時，該資料壓縮/解壓縮模組108受到微處理器102的觸發下，對系統介面104所傳送之原始資料以一預設比例壓縮成對應之微量化資料，以加快資料在儲存裝置1內的傳輸作業；在資料壓縮/解壓縮模組108壓縮之前，係由前端資料緩衝區的第一層系統端資料緩衝區132與第二層系統端資料緩衝區134以交替方式同步進行原始資料的接收與傳送作業，亦即當第一層系統端資料緩衝區132在接收系統介面104所傳送之原始資料的同時，第二層系統端資料緩衝區134即傳送已接收完成之原始資料至資料壓縮/解壓縮模組108進行壓縮，藉此使系統介面104與資料壓縮/解壓縮模組108可同步進行資料的傳送、接收及壓縮作業。

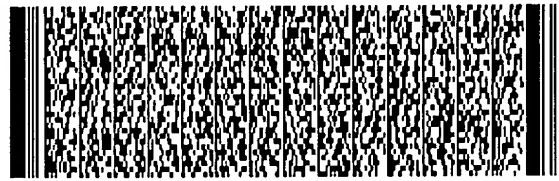
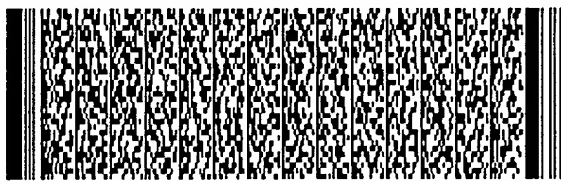


#### 五、發明說明 (9)

當資料壓縮/解壓縮模組108完成資料壓縮之後，藉由後端資料緩衝區中的第一層記憶體資料緩衝區136與第二層記憶體資料緩衝區138以交替方式同步進行資料的接收與傳送作業；其中前端資料緩衝區與後端資料緩衝區二者不同之處，在於前端緩衝區係用以暫存尚未壓縮的原始資料，而後端資料緩衝區係用以暫存壓縮後的微量化資料，致使其分別交替接收與傳送的資料係為原始資料與壓縮後的微量化資料。

請參第7A~7D圖，其係詳述在第6圖的電路分佈下所進行的壓縮動作，其中，後端資料緩衝區的儲存容量可與前端資料緩衝區相同，亦或可依據資料壓縮模組的壓縮比例而與前端資料緩衝區的儲存容量有倍數上的差異；在本實施例中，係以緩衝區的儲存容量與壓縮比例無關的方式設計，即採取資料壓縮/解壓縮模組108以兩倍壓縮比例壓縮原始資料，但後端資料緩衝區的儲存容量並不隨之變動，而採與前端資料緩衝區儲存量相同的方式說明。

請參第7A圖，當系統端要連續寫入資料時，系統端傳入之第一筆原始資料首先載入前端的第一層系統端資料緩衝區132；當資料載入完成後，如第7B圖所示，微處理器102隨即啟動前端的第二層資料緩衝區134繼續接收第二筆原始資料，在此同時，微處理器102即啟動資料壓縮/解壓縮模組108接收由第一層系統端資料緩衝區132所傳送之第一筆原始資料進行壓縮，並將壓縮後所形成佔用儲存容量較小的微量化壓縮資料載入後端的第一層記憶體資料緩衝



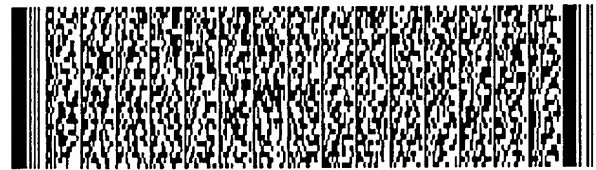
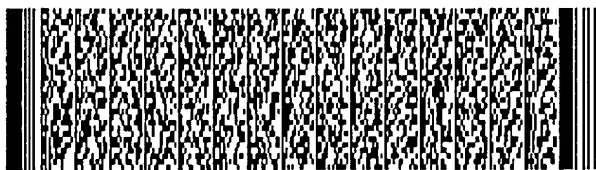
## 五、發明說明 (10)

### 區136。

請參第7C圖，當前端的第一層資料緩衝區132將內部資料完全傳送至資料壓縮/解壓縮模組108後，微處理器102隨即清空前端的第一層系統端資料緩衝區132，並令其接收外部系統端的第三筆原始資料，在此同時，微處理器102亦啟動資料壓縮/解壓縮模組108接收由第二層系統端資料緩衝區134所傳送之第二筆原始資料並進行資料壓縮，並將壓縮後所產生的第二筆微量化壓縮資料同樣載入後端的第一層記憶體資料緩衝區136；參第7D圖，在前述資料傳輸完成後，該第一層記憶體資料緩衝區136已成滿載狀態，隨即透過記憶體介面106將暫存於其中的第一與第二筆微量化資料記錄於固態儲存媒體20；且同此時間，前端的第一層系統端資料緩衝區132將自系統端接收之第三筆原始資料經資料壓縮/解壓縮模組108壓縮後載入後端的第二層資料緩衝區138，而前端的第二層資料緩衝區134則可清空，繼續自系統端接收下一筆原始資料。

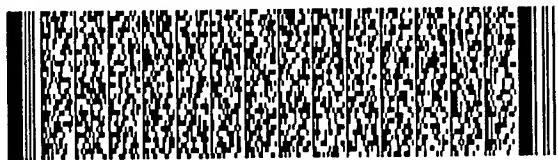
藉由此多層之緩衝區設計，不僅可作一適當區隔與規劃，並使儲存裝置1可在連續不間斷的時間下同步進行系統介面的資料傳輸、暫存於系統端資料緩衝區之原始資料壓縮以及利用記憶體介面進行壓縮後資料的傳輸等作業，俾使大幅提高儲存裝置的資料傳輸率者。

上述之資料壓縮/解壓縮模組108在本發明之實施中，係可以硬體電路或以軟體燒錄成韌體之方式設計實施之，且可以係配置於控制器10內或獨立於控制器10外運作。



##### 五、發明說明 (11)

綜合上述，本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準；若依本發明之構想所作之改變，但其所產生之功能作用仍未超出說明書與圖示所涵蓋之精神時，均應在本發明之範圍內。



## 圖式簡單說明

### 五、【圖式之簡單說明】

第 1 圖繪示的是習知儲存裝置之一電路概略圖；

第 2 A~ 2 C 圖繪示的是習知依據圖 1 之一運作流程圖；

第 3 圖繪示的是本發明之一較佳實施例之儲存裝置之一電路概略圖；

第 4 A~ 4 C 圖繪示的是本發明依據圖 3 之一運作流程圖；

第 5 圖繪示的是本發明之另一較佳實施例之儲存裝置之一電路概略圖；

第 6 圖繪示的是本發明之再一較佳實施例之儲存裝置之一電路概略圖；以及

第 7 A~ 7 D 圖繪示的是本發明依據圖 6 之一運作流程圖。

A：儲存裝置

A 1：控制器

A 1 1：系統介面

A 1 2：微處理器

A 1 3：記憶體介面

A 1 4：資料緩衝區

A 2：固態儲存媒體

B：外部系統端

1：儲存裝置

1 0：控制器



圖式簡單說明

1 0 4 : 系 統 介 面

1 0 2 : 微 處 理 器

1 0 6 : 記 憶 體 介 面

1 0 8 : 資 料 壓 縮 / 解 壓 縮 模 組

1 1 0 : 第 一 層 資 料 緩 衝 區

1 1 2 : 第 二 層 資 料 緩 衝 區

1 2 4 : 第 一 資 料 緩 衝 區

1 2 6 : 第 二 資 料 緩 衝 區

1 3 2 : 第 一 層 系 統 端 資 料 緩 衝 區

1 3 4 : 第 二 層 系 統 端 資 料 緩 衝 區

1 3 6 : 第 一 層 記 憶 體 資 料 緩 衝 區

1 3 8 : 第 二 層 記 憶 體 資 料 緩 衝 區

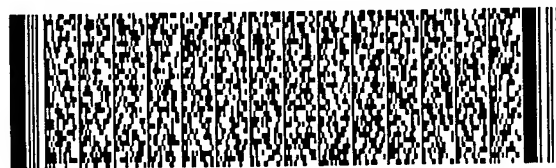
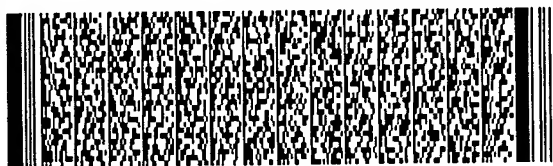
2 0 : 固 態 儲 存 媒 體

2 : 外 部 系 統 端



## 六、申請專利範圍

- 1、一種可提高傳輸速度之儲存裝置，係由一控制器與至少一固態儲存媒體所構成，該控制器內具有一與外部預設系統端連接之系統介面、一處理系統指令之微處理器以及一與該等固態儲存媒體溝通之記憶體介面；其特徵在於：在該系統介面與該記憶體介面之間配置有複數個資料緩衝區，該等資料緩衝區係採多層式設計，其中第一層資料緩衝區與次一層資料緩衝區係以交替式同步進行資料的接收與傳送作業，藉以同步進行系統介面與記憶體介面間的資料輸送作業。
- 2、一種可提高傳輸速度之儲存裝置，係由一控制器與至少一固態儲存媒體所構成，該控制器內具有一與外部預設系統端連接之系統介面、一處理系統指令之微處理器、一與該等固態儲存媒體溝通之記憶體介面，其特徵在於：該儲存裝置設有一資料壓縮/解壓縮模組，其具備一壓縮機制可用以對系統介面所傳送之原始資料以一預設比例壓縮成對應之微量化資料，藉此，提高存取速度者。
- 3、如申請專利範圍第2項所述之可提高傳輸速度之儲存裝置，其中該資料壓縮/解壓縮模組，其內具備一解壓縮機制，可透過微處理器的觸發，將儲存於固態儲存媒體內之微量化壓縮資料予以解壓縮還原成原始資料而向外部傳送者。
- 4、如申請專利範圍第2項所述之可提高傳輸速度之儲存裝置，其中儲存裝置係具備一第一資料緩衝區，該第



## 六、申請專利範圍

一 資料緩衝區係電性連接該系統介面、微處理器、資料壓縮/解壓縮模組。

- 5、如申請專利範圍第2項所述之可提高傳輸速度之儲存裝置，其中控制器內係具備一第二資料緩衝區，該第二資料緩衝區係電性連接記憶體介面、微處理器、資料壓縮/解壓縮模組。
- 6、如申請專利範圍第2項所述之可提高傳輸速度之儲存裝置，其中該資料壓縮/解壓縮模組係配置於控制器內且介於該系統介面與該記憶體介面之間。
- 7、一種可提高傳輸速度之儲存裝置，係由一控制器與至少一固態儲存媒體所構成，該控制器內具有一與外部預設系統端連接之系統介面、一處理系統指令之微處理器以及一與該等固態儲存媒體溝通之記憶體介面；其特徵在於：

在該系統介面與該記憶體介面間配置一資料壓縮/解壓縮模組，被用以對系統介面所傳送之原始資料以一預設比例壓縮成對應之微量化資料，以加快資料在儲存裝置內的傳輸作業；

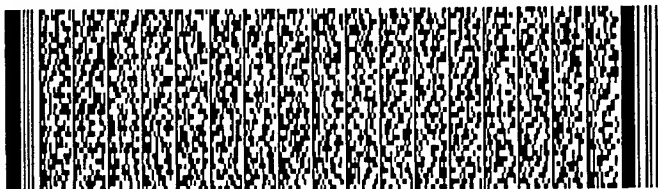
在該資料壓縮模組與該系統介面間設置一由多層系統端資料緩衝區所組成之前端資料緩衝區，該前端資料緩衝區係採多層式設計，其中前層系統端資料緩衝區與次一層系統端資料緩衝區係以交替式同步進行原始資料的接收與傳送作業，藉以同步進行系統介面與資料壓縮/解壓縮模組間的原始資料輸送作業；



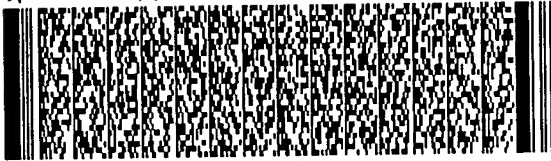
## 六、申請專利範圍

在該資料壓縮模組與該記憶體介面間設置一由多層記憶體資料緩衝區所組成之後端資料緩衝區，該後端資料緩衝區係採階層式設計，其中前層記憶體資料緩衝區與次一層記憶體資料緩衝區係以交替式同步進行微量化資料的接收與傳送作業，藉以同步進行記憶體介面與資料壓縮/解壓縮模組間的微量化資料輸送作業。

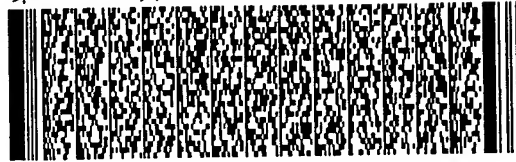
- 8、如申請專利範圍第7項所述之可提高傳輸速度之儲存裝置，其中該資料壓縮/解壓縮模組，其內具備一解壓縮機制，可透過微處理器的觸發，將儲存於固態儲存媒體內之微量化壓縮資料予以解壓縮還原成原始資料而向外部傳送者。
- 9、如申請專利範圍第7或第8項所述之可提高傳輸速度之儲存裝置，其中該資料壓縮/解壓縮模組係配置於控制器內。
- 10、如申請專利範圍第7項所述之可提高傳輸速度之儲存裝置，其中後端資料緩衝區的儲存容量與前端資料緩衝區相同。
- 11、如申請專利範圍第7項所述之可提高傳輸速度之儲存裝置，其中後端資料緩衝區的儲存容量可依壓縮倍數而小於該前端資料緩衝區。



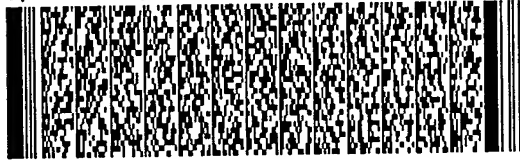
第 1/20 頁



第 2/20 頁



第 2/20 頁



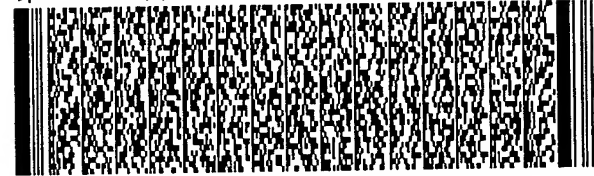
第 3/20 頁



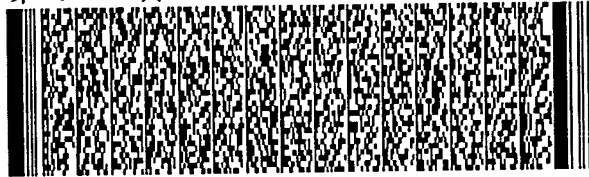
第 4/20 頁



第 5/20 頁



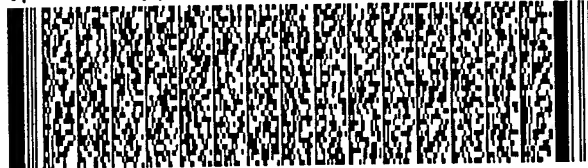
第 5/20 頁



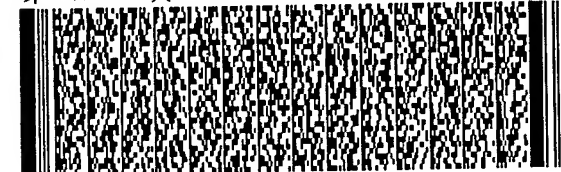
第 6/20 頁



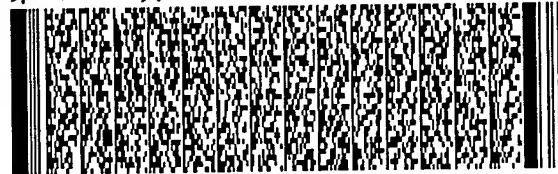
第 6/20 頁



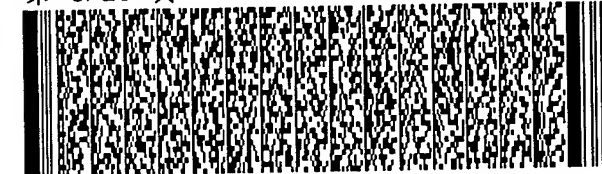
第 7/20 頁



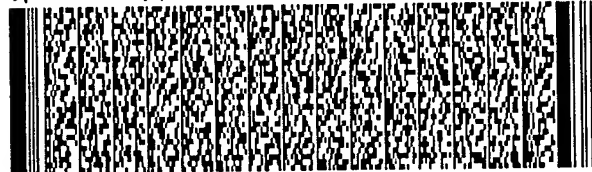
第 7/20 頁



第 8/20 頁



第 8/20 頁



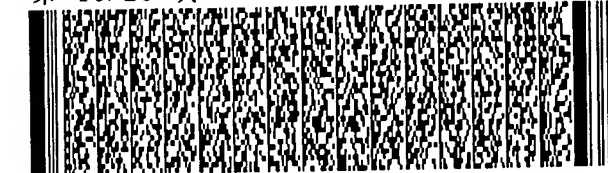
第 9/20 頁



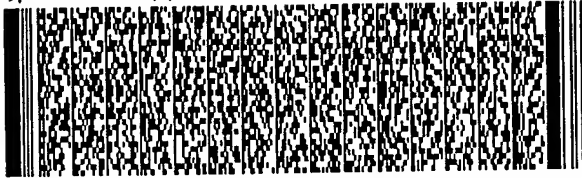
第 9/20 頁



第 10/20 頁



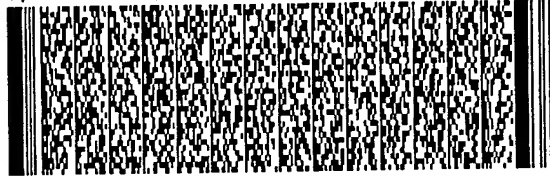
第 10/20 頁



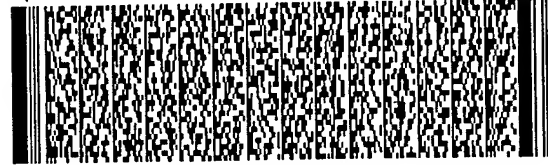
第 11/20 頁



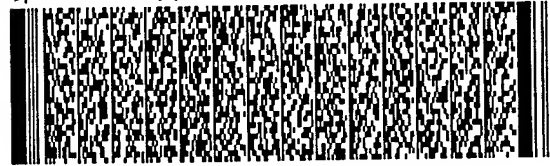
第 11/20 頁



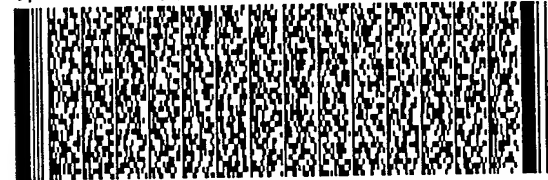
第 12/20 頁



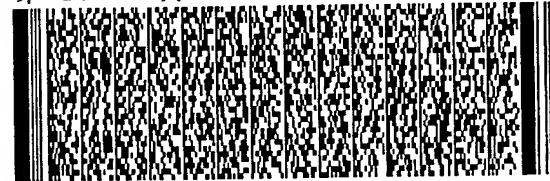
第 12/20 頁



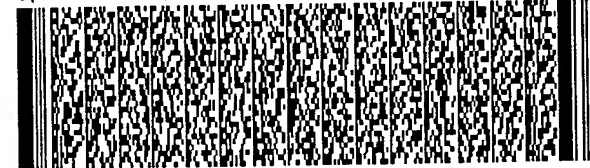
第 13/20 頁



第 13/20 頁



第 14/20 頁



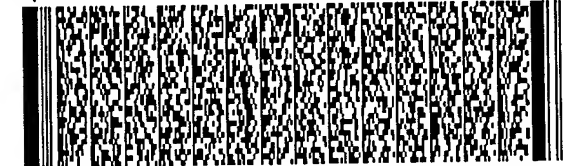
第 14/20 頁



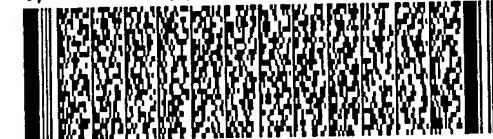
第 15/20 頁



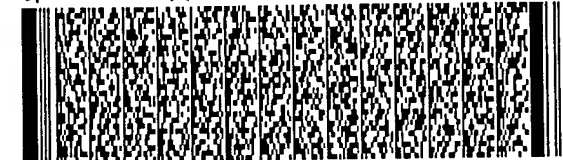
第 16/20 頁



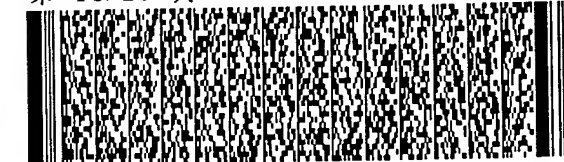
第 17/20 頁



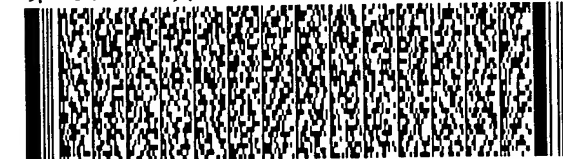
第 18/20 頁



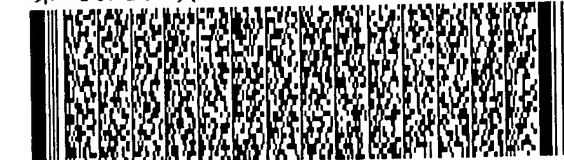
第 18/20 頁

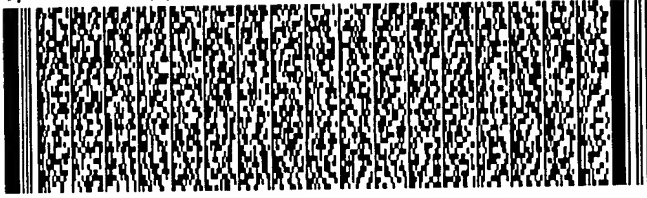


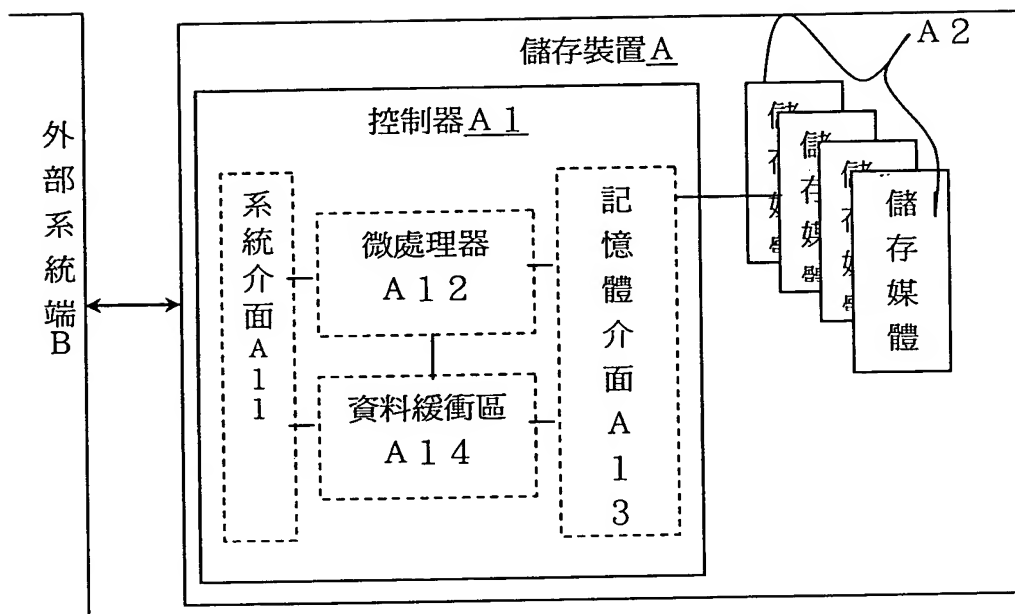
第 19/20 頁



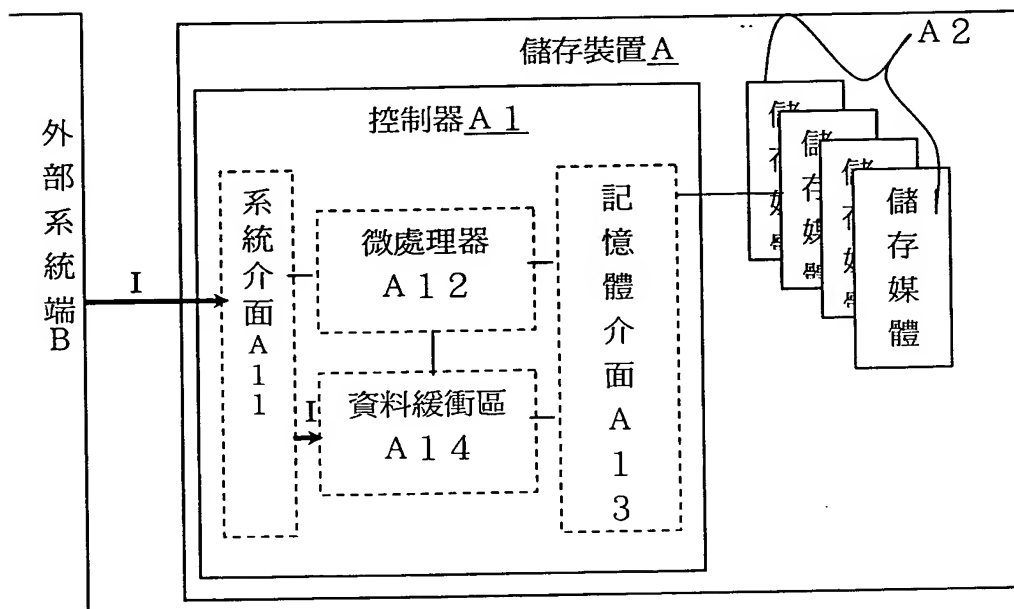
第 19/20 頁



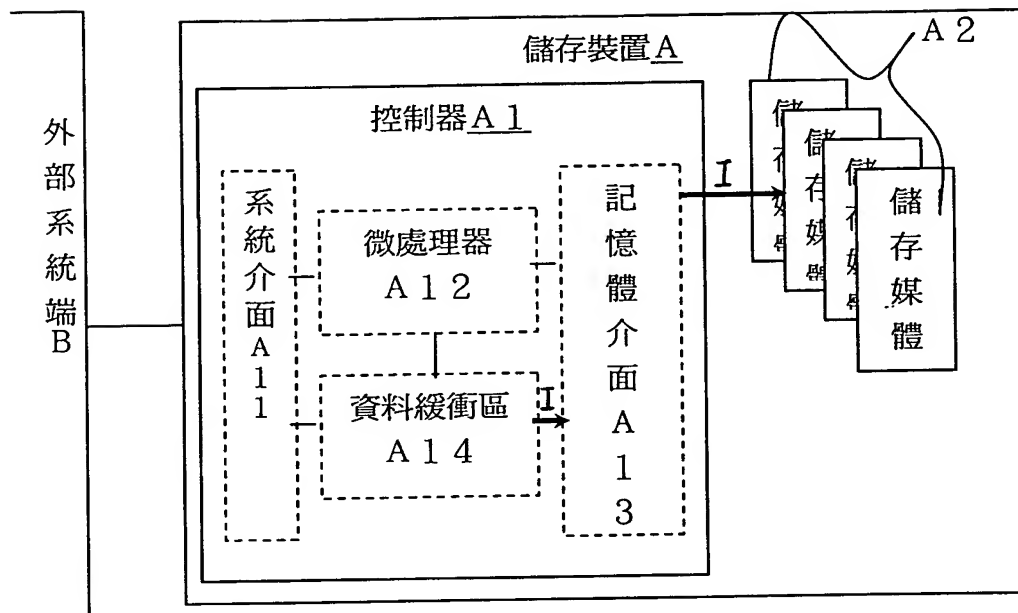




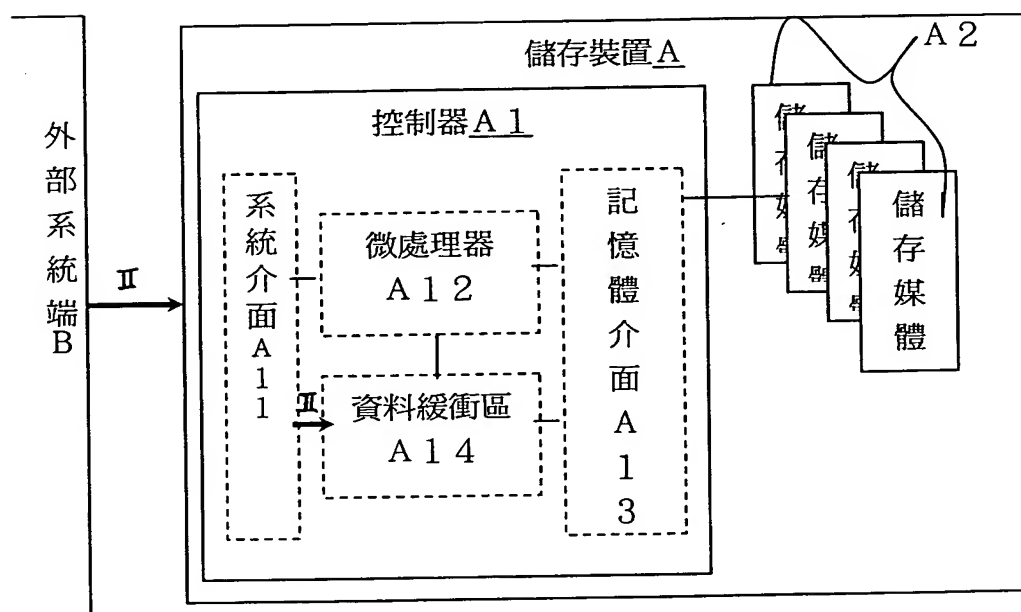
第1圖



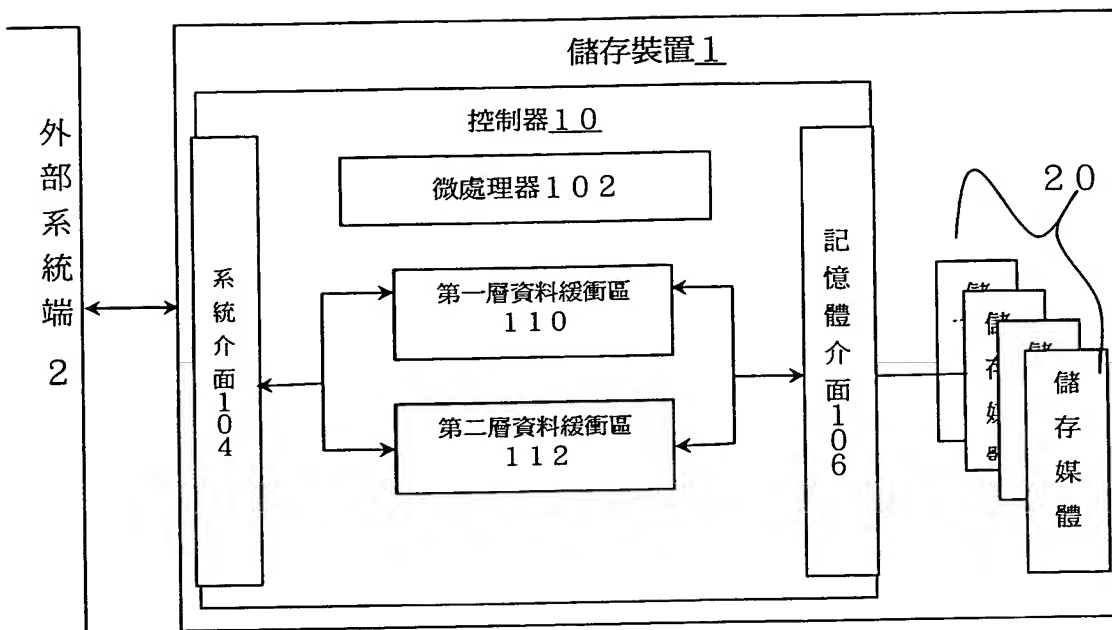
第2A圖



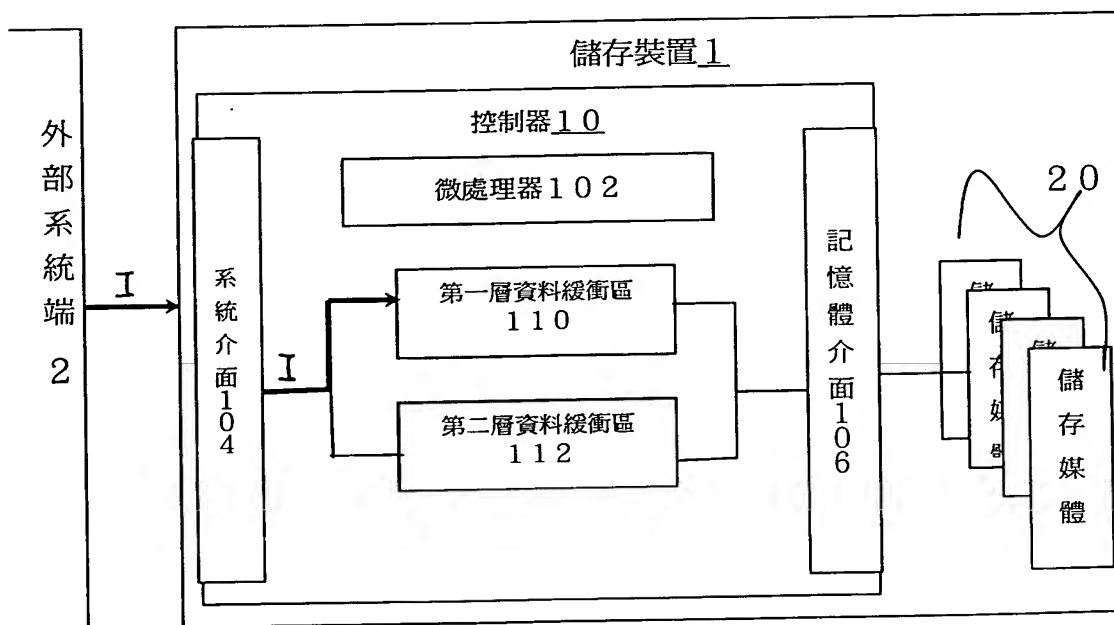
第 2 B 圖



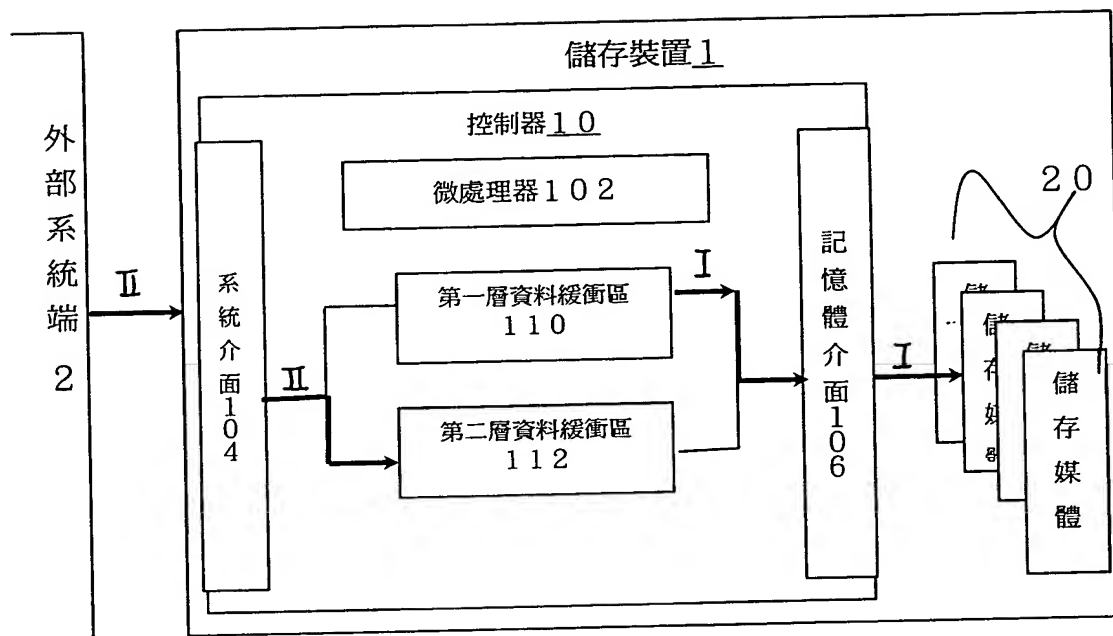
第 2 C 圖



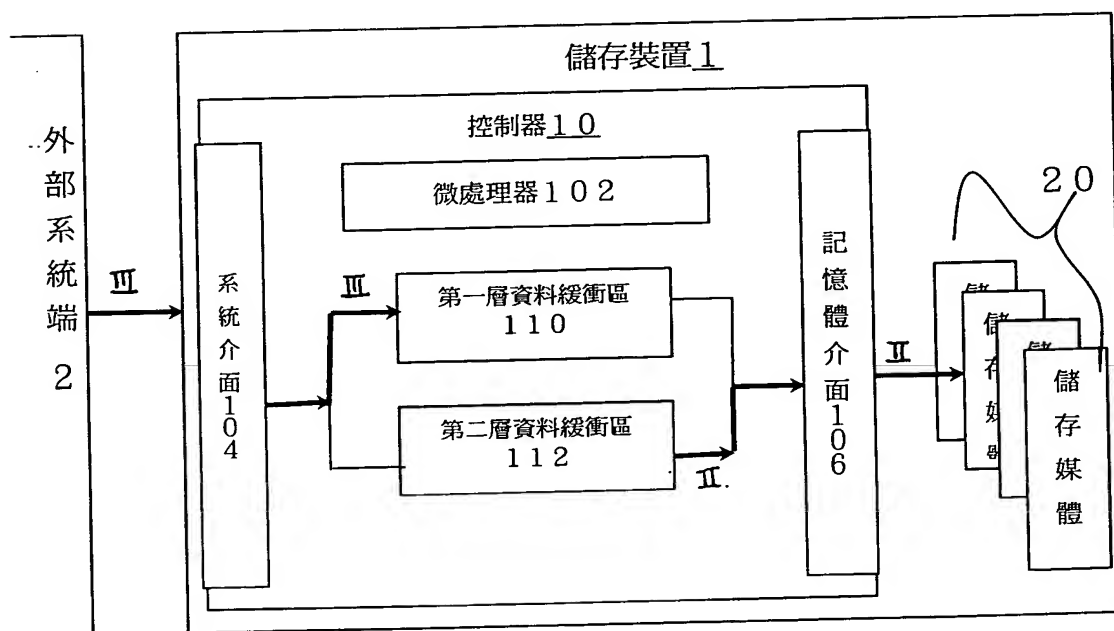
第3圖



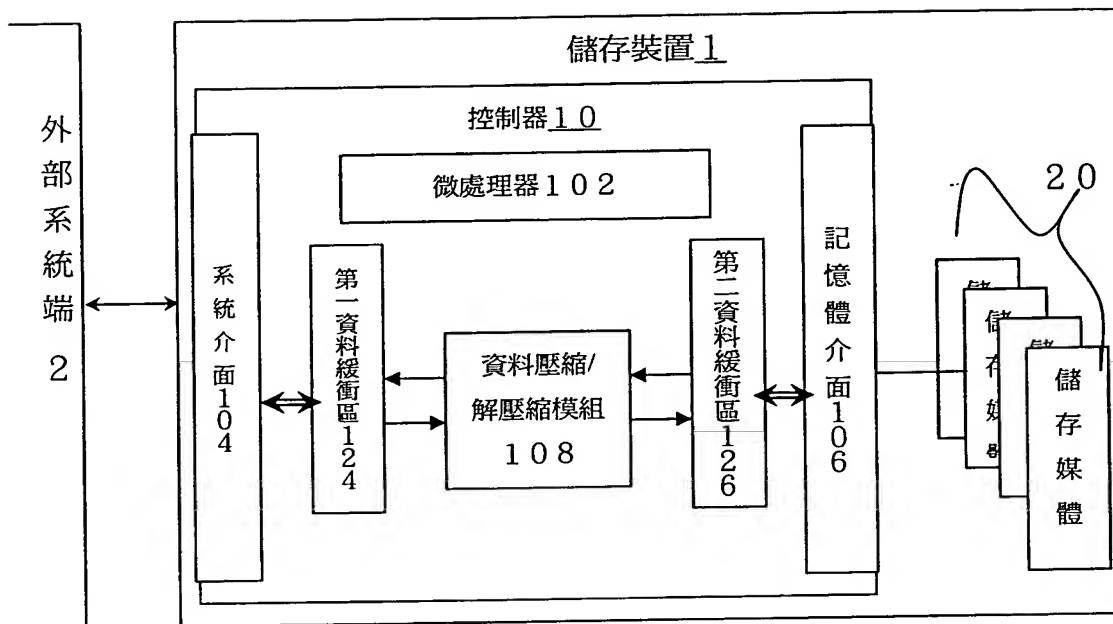
第4A圖



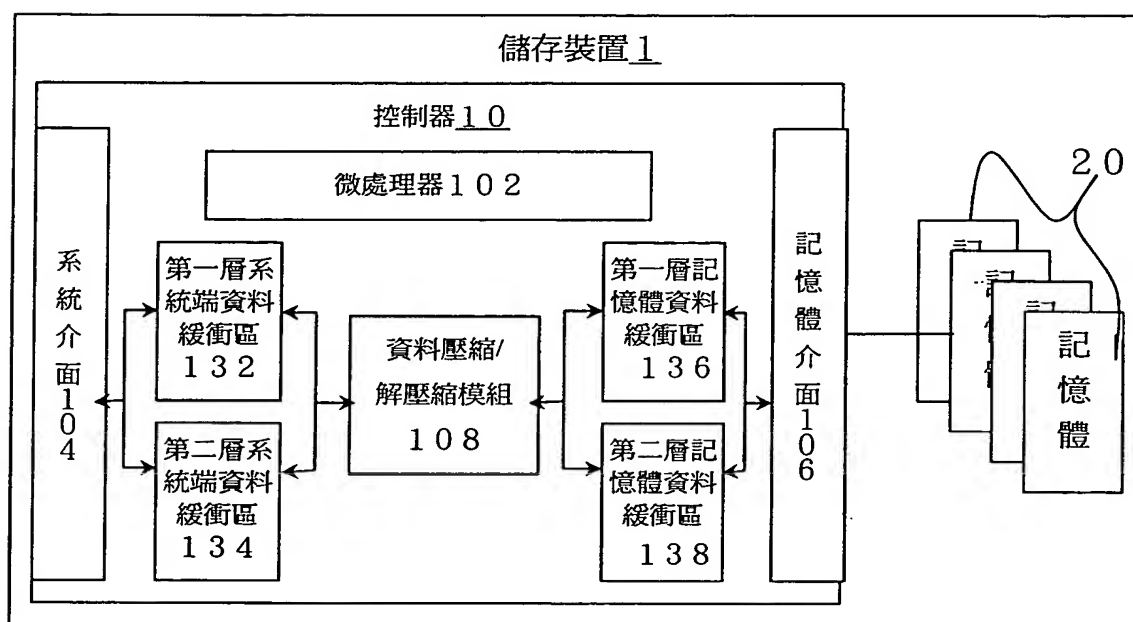
第 4 B 圖



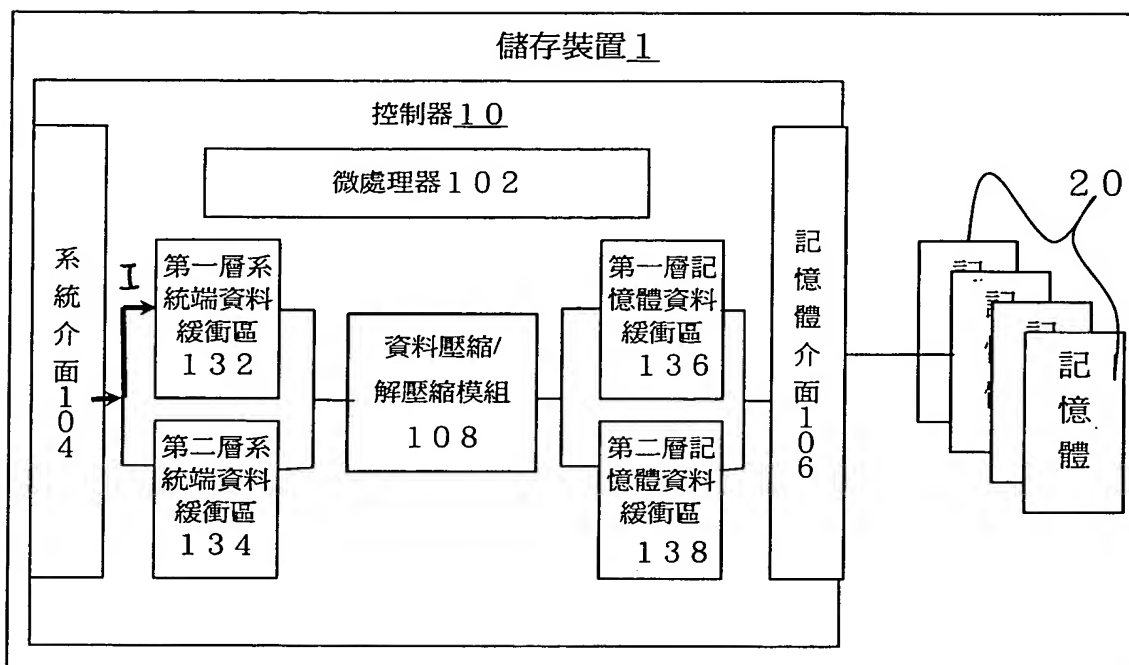
第 4 C 圖



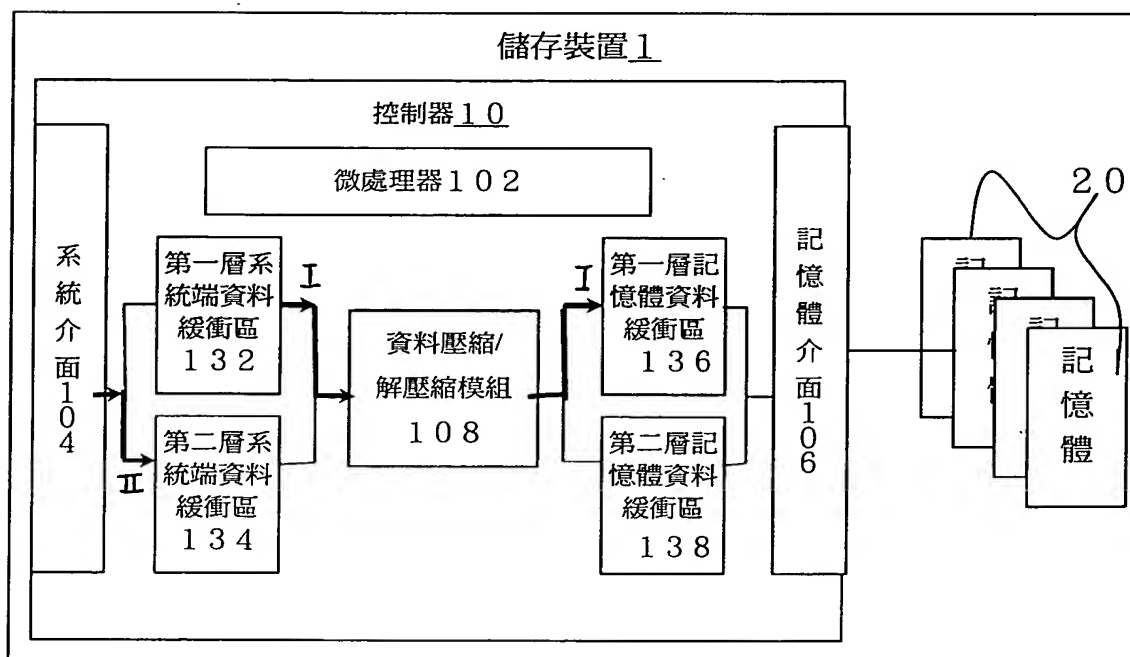
第5圖



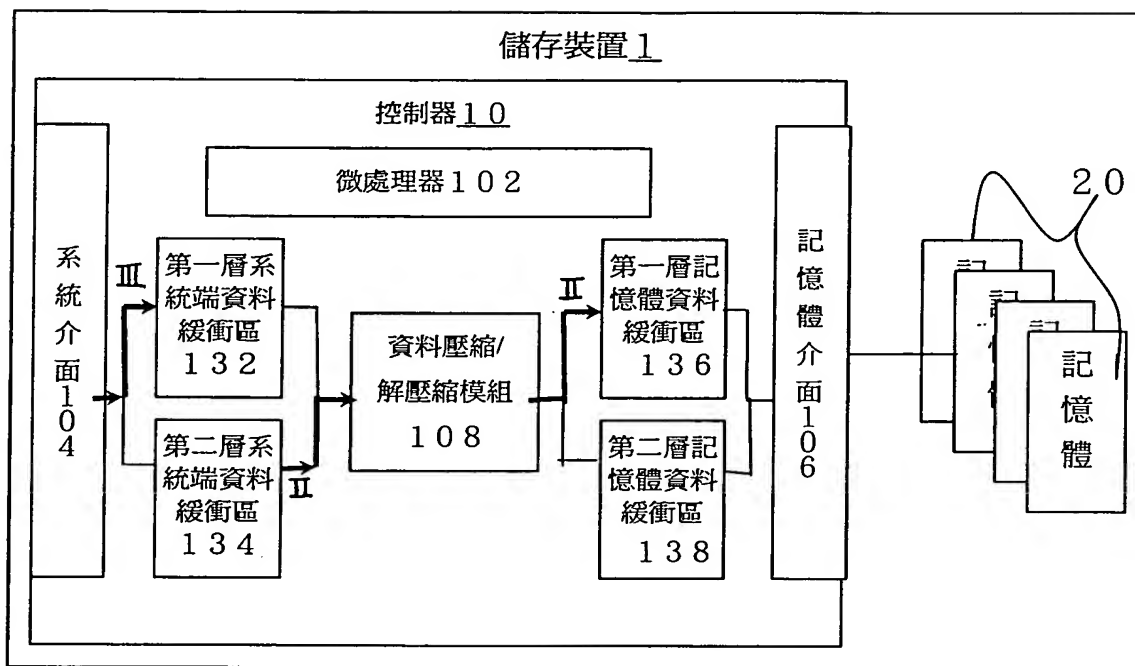
第6圖



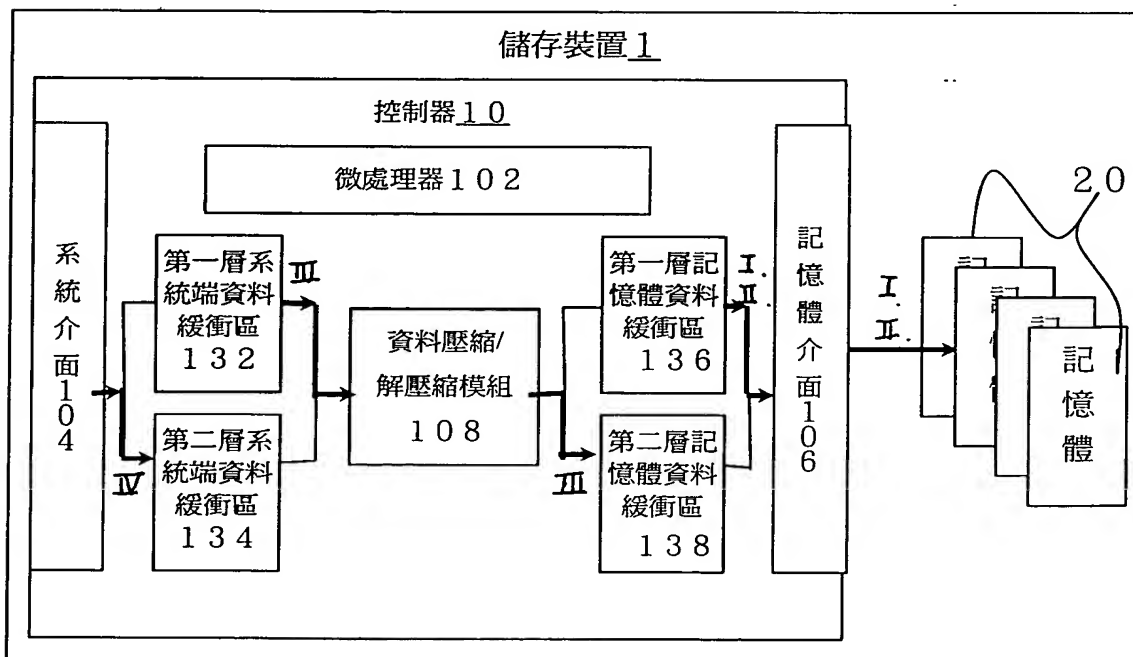
第 7 A 圖



第 7 B 圖



第 7 C 圖



第 7 D 圖